

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭55—156427

⑤ Int. Cl.³
H 03 K 19/094

識別記号

庁内整理番号
7259—5 J

⑬ 公開 昭和55年(1980)12月5日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ ブートストラップバッファ回路

大阪市阿倍野区長池町22番22号
シャープ株式会社内

⑯ 特 願 昭54—64444
⑰ 出 願 昭54(1979)5月23日
⑱ 発 明 者 斉藤寿士

⑲ 出 願 人 シャープ株式会社
大阪市阿倍野区長池町22番22号
⑳ 代 理 人 弁理士 福士愛彦

明 細 書

1. 発明の名称

ブートストラップバッファ回路

2. 特許請求の範囲

1. E/D型MOSトランジスタからなるインバータのD型MOSトランジスタドレイン側と電源の間にE型MOSトランジスタを挿入し、該インバータにE/E型プッシュプルバッファを接続すると共に帰還容量を接続してなるブートストラップバッファ回路。

3. 発明の詳細な説明

本発明は応答速度等の特性改善と共にLSI化に適したブートストラップバッファ回路に関するものである。

第1図を用いて従来のブートストラップインバータバッファ回路の動作を説明する。図に於て、 Q_1 、 Q_2 、 Q_3 及び Q_4 はNチャネルE型MOSトランジスタで C_1 は帰還容量、 C_L は負荷容量、及び C_2 はトランジスタ Q_2 のゲート容量である。今入力端子Aに“1”レベルの入力信号が与えら

れると、 P_1 点及び P_2 点は接地レベルにあつて容量 C_2 には電荷が蓄えられない。

次に上記入力信号のレベルが“0”になると、まずトランジスタ Q_1 を通じて容量 C_1 及び C_2 に電荷が蓄えられ、同時にトランジスタ Q_2 がオンに変化してブートストラップが働くこととなる。ところで充分にブートストラップを働かせるためには上記各容量の間が $C_1 > C_2$ の関係になるようにしなくてはならず、容量 C_2 に充電するための時間が掛る。第2図に上記従来回路を用いた場合の入力信号波形INに対する出力信号波形OUTの関係を示す。同図で t_0 から t_1 の時間は、トランジスタ Q_1 を通して容量 C_1 及び C_2 に充電する時間である。また入力信号INが“0”から“1”に変化する時も、容量 C_2 の電荷はトランジスタ Q_2 を通して放電する必要があり、このためトランジスタ Q_2 のオン抵抗を小さくする必要がある。以上のように入力信号INのレベルが変化する度に容量 C_1 及び C_2 はトランジスタ Q_1 或いは Q_2 を通して充放電を繰り返す。このため必

答速度が遅くなると共に、トランジスタ Q_1 , Q_2 のオン抵抗を小さくする必要があり、LSIの回路設計が制約を受け、また回路占有面積が大きくなる等の欠点があつた。

本発明は上記従来回路の欠点を除去し、簡単な構成を付加するのみで応答特性の改善を図つたブートストラップバッファ回路を提供するもので、次に実施例を挙げて本発明を詳細に説明する。PチャネルMOSトランジスタ及びNチャネルMOSトランジスタいずれでも実施することができるが、以下にNチャネルMOSトランジスタを用いて構成した回路を挙げて説明する。

第3図において、 Q_1 , Q_2 , Q_3 及び Q_4 はE型MOSトランジスタ、 Q_0 はD型MOSトランジスタで、トランジスタ Q_0 及び Q_2 でE/D型MOSトランジスタインバータを構成し、該インバータにトランジスタ Q_1 , Q_3 からなるE/E型ブツシュブルバッファが接続されている。上記トランジスタ Q_0 のドレイン側と電源 V_D 間にE型トランジスタ Q_1 が接続され、該トランジスタ

(3)

して負荷容量 C_L に電荷を充電し、出力端 P_1 点の電位は上昇する。今この変化量を ΔV とし、説明を簡略化するため帰還容量 C_B とゲート容量 C_G が $C_B > C_G$ でゲート容量 C_G を無視すると、 P_1 及び P_2 点の電位は $(V_D - V_{T_{HE}} + \Delta V)$ ボルトになり、最終的には P_1 及び P_2 点は $(2V_D - V_{T_{HE}})$ ボルト、 P_3 点は V_D ボルトになる。

実際のLSI回路ではゲート容量 C_G は無視できず、この場合は P_1 及び P_2 点の電位 V_P は

$$(V_D - V_{T_{HE}} + \frac{C_B}{C_B + C_G} V_D) \text{ ボルトになり、}$$

$V_P > V_D + V_{T_{HE}}$ になるように容量 C_B , C_G の比を決めることにより出力端 P_1 点の電位は電源 V_D のレベルまで達する。

次に入力信号 I_N が再び「1」レベルになつた状態でトランジスタ Q_2 を通して容量 C_G 、トランジスタ Q_0 を通して容量 C_L の各電荷が放電され、その結果 P_1 点は接地レベルになる。第4図は上記本発明における入出力信号の波形を示している。

以上本発明の回路によれば、帰還容量 C_B は電

(5)

Q_0 ・トランジスタ Q_1 の接続点とブツシュブルバッファ出力端 P_1 点間に帰還容量 C_B が接続されている。図において C_G はトランジスタ Q_0 のゲート容量、 C_L は負荷容量である。

上記回路において入力端 A_1 に入力信号 I_N として「1」レベルの信号が与えられると、トランジスタ Q_2 及び Q_4 はオンになる。トランジスタ Q_1 及び Q_3 のオン抵抗をD型トランジスタ Q_0 のオン抵抗よりも充分小さくするように回路パターンが設計されると(例えば各トランジスタ Q_0 , Q_1 及び Q_3 のパターンにおける W/L の関係を $1:3:3$ にすると)インバータの P_1 点は接地レベルに、トランジスタ Q_0 のドレイン側 P_2 点は $(V_D - V_{T_{HE}})$ ボルトになる。ただし $V_{T_{HE}}$ はE型MOSトランジスタのしきい電圧である。その結果帰還容量 C_B の電極には $C_B \times (V_D - V_{T_{HE}})$ クーロンの電荷が蓄えられる。次に入力信号 I_N のレベルが「0」に変化すると、トランジスタ Q_2 及び Q_4 はオフになり、 P_1 点の電位は P_2 点の電位と等しくなり、トランジスタ Q_3 がオンに変化

(4)

源投入時に一度だけトランジスタ Q_1 により充電され、しかも容量 C_B はいつも充電されているため入力信号のレベルが「0」になつた状態でも、トランジスタ Q_0 を通じて容量 C_G のみ充電するだけでブートストラップが働き、立ち上り波形が従来回路に比して著しく改善される。また、充電はゲート容量 C_G のみ行われるので、トランジスタ Q_1 , Q_2 , Q_3 の各トランジスタのオン抵抗を従来のものより小さくする必要がなく、LSIにした場合小さく設計することができる。

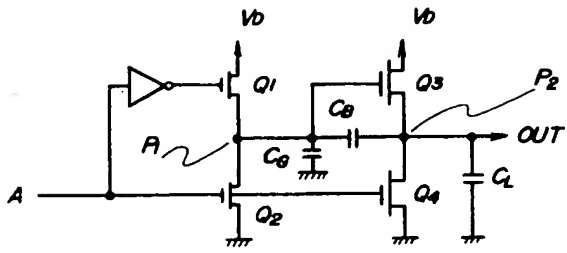
4 図面の簡単な説明

第1図は従来の回路図、第2図は同従来回路を説明するための信号波形図、第3図は本発明による実施例を示す回路図、第4図は同実施例の動作を説明するための信号波形図である。

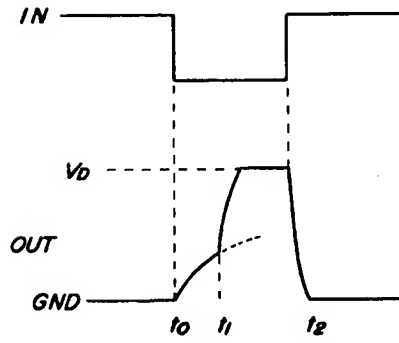
Q_1 , Q_2 , Q_3 , Q_4 : E型MOSトランジスタ、
 Q_0 : D型MOSトランジスタ、 C_B : 帰還容量、
 C_G : ゲート容量、 C_L : 負荷容量、

代理人 弁理士 福 士 愛 彦

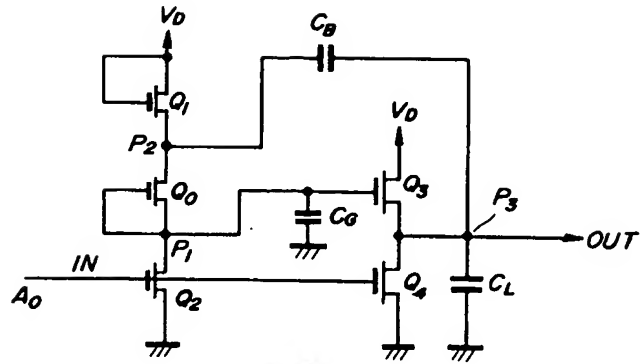
(6)



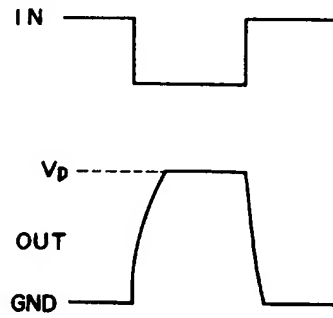
第1図



第2図



第3図



第4図